

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: G11C 11/407

(11) Publication No.: P1998-034738

(43) Publication Date: 05 August 1998

(21) Application No.: 10-1996-052887

(22) Application Date: 08 November 1996

(71) Applicant:

Hyundai Electronics Inc.

(54) Title of the Invention:

Pipeline apparatus for semiconductor memory device and pipeline controlling method

Abstract:

Provided are a pipeline apparatus for a semiconductor memory device and a pipeline controlling method. More particularly, provided are a new pipeline apparatus enabling continuous data output by being synchronized to an external clock according to the Cas Latency for a Burst Mode operation, and a pipeline controlling method. A conventional pipeline memory device is not suitable for use in a high-speed operation such as a Burst Mode operation due to an extended data access time by using an internal clock with an opposite phase to the phase of an external clock. In view of the problem, in the present invention, a first pipeline control signal and a second pipeline control signal are generated using a clock signal and used to control a third transmitter and a fourth transmitter (in a second latch) for DATA1 transmission. Therefore, data access time during reading can be reduced.

특 1998-034738

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G11C 11/407

(11) 공개번호 특 1998-034738
(43) 공개일자 1998년 08월 05일

(21) 출원번호 특 1996-052887
(22) 출원일자 1996년 11월 08일
(71) 출원인 현대전자산업 주식회사 김명환
경기도 미천시 부발읍 아미리 산 136-1
(72) 발명자 손정덕
경기도 미천시 관교동 산화차 아파트 2-101
(74) 대리인 이권희, 이정훈

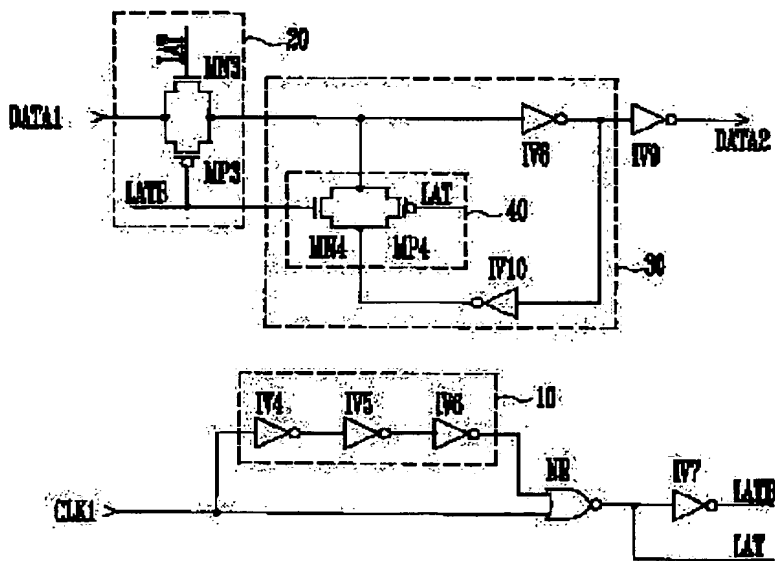
심사청구 없음

(54) 반도체 메모리 소자의 파이프 라인 장치 및 그 제어 방법

요약

본 발명은 반도체 메모리 소자의 파이프 라인 장치 및 그 제어 방법에 관한 것으로 특히 Burst Mode 동작 시 Cas Latency에 따라 외부 클럭에 동기 되어 연속적인 데이터의 출력이 가능하도록 만든 새로운 Type의 파이프 라인 장치 및 그 제어 방법에 관한 것이다. 종래에는 내부 클럭이 단지 외부 클럭의 위상만을 반대로 하여 사용하므로 버스트 모드에서와 같은 고속 동작에서는 데이터의 액세스 타임이 길어져 사용이 적합하지 못하게 된다. 본 발명은 이를 해결하기 위한 것이며 상기 목적 달성을 위해 클럭 신호를 사용하여 제1 파이프라인 제어 신호 및 제2 파이프 라인 제어 신호를 생성하고, DATA를 전달시키기 위한 제3 전달수단 및 제2 래치 수단내의 제4 전달 수단을 제어하기 위해 상기 제1 파이프 라인 제어 신호 및 제2 파이프 라인 제어 신호를 사용하는 것을 특징으로 하며, 본 발명을 반도체 메모리 소자에 구현하게 되면 리드시 데이터의 Access Time이 감소하게 되는 효과가 있다.

도면



발명자

도면의 간단한 설명

도 1은 종래기술에 따른 데이터의 입/출력 관계를 도시한 파이프 라인 회로도.

도 2A는 본 발명의 일 실시예에 따른 데이터의 입/출력 관계를 도시한 파이프 라인 회로도.

도 28는 본 발명의 일실시예에 따른 파이프 라인 제어 신호 발생 회로도.

도 3은 상기 도 28, 도 28에 도시된 본 발명의 일실시예에 따른 파이프 라인 회로도에 대한 동작 타이밍도.

도면의 주요부분에 대한 부호의 설명

5 : 제1 전달부 6 : 제2 전달부

10 : 펄스폭 조절부 20 : 제3 전달부

30 : 제2 래치부 40 : 제4 전달부

CLK : 외부 클럭신호 CLK1 : 내부 클럭신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 파이프 라인 장치 및 그 제어 방법에 관한 것으로, 특히 Burst Mode 동작시 Cas Latency에 따라 외부 클럭에 동기 되어 연속적인 데이터의 출력이 가능하도록 만든 반도체 메모리 소자의 파이프 라인 장치 및 그 제어 방법에 관한 것이다.

도 1은 종래기술에 따른 데이터의 입/출력 관계를 도시한 파이프 라인 회로도로서, CLK1을 반전시켜 제1 PMOS형 트랜지스터(MP1) 게이트 단자 및 제2 NMOS형 트랜지스터(MN2) 게이트 단자로 인가시키는 제1 인버터(IV1)와, 게이트로 CLK1이 인가되고 입력단자와 출력단자 사이에 접속되는 제1 NMOS형 트랜지스터(MN1)와 게이트로 상기 제1 인버터 출력신호가 인가되고 상기 입력단자와 출력단자 사이에 접속되는 제1 PMOS형 트랜지스터(MP1)로 구성되는 제1 전달부(5)와, 상기 제1 전달부 출력단에 제2 인버터(IV2)와 제3 인버터(IV3)와 제2 전달부(6)가 직렬접속되어 형성되는 제1 래치부로 구성된다.

상기 제2 전달부(6)는 게이트로 CLK1이 인가되고 상기 제1 전달부 출력단과 상기 제2 인버터 출력단 사이에 접속되는 제2 PMOS형 트랜지스터(MP2)와 게이트로 상기 제1 인버터 출력신호가 인가되고 상기 제1 전달부 출력단과 상기 제2 인버터 출력단 사이에 접속되는 제2 NMOS형 트랜지스터로 구성된다.

이하, 상기 구성에 따른 동작관계를 살펴보기로 한다.

CLK1은 CLK를 위상만 반대로 하여 만든 신호로 상기 CLK1이 로우에서 하이로 천이하면 상기 제1 전달부가 턴-온되고 상기 제2 전달부는 턴-오프된다. 따라서 이때에는 입력단의 데이터가 상기 제1 전달부를 통해 출력단에 전달된다. 이후 상기 CLK1이 하이에서 로우로 천이하게 되면 상기 제1 전달부는 턴-오프되고 상기 제2 전달부가 턴-온되어 이전의 데이터가 상기 제1 래치부에 래치되며 다시 상기 CLK1이 로우에서 하이로 천이하게 되면 상기 제1 래치부에 래치되어 있던 데이터는 데이터 출력단을 통해 외부로 출력되며, 새로운 입력 데이터가 상기 제1 전달부를 통해 출력단에 전달되며 상기 제1 래치부에 래치하는 과정을 반복하게 된다.

이러한 동작으로 이루어지는 종래 회로에 있어서 문제가 되는 것은 CLK1이 단지 CLK의 위상만을 반대로 하여 생성되므로 외부 클럭이 Active 상태로 바뀔때마다 Normal DRAM의 Read 동작이 반복되어 데이터의 Access Time이 길어지므로 고속 동작의 버스트 모드에는 사용이 적합하지 못하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기의 문제점을 해결하기 위해 창안된 것으로 CLK1을 이용하여 새로운 파이프 라인 제어 신호를 발생시켜 상기 신호에 의해 파이프 라인 회로를 제어하게 함으로써 데이터의 Access Time을 줄이고 버스트 모드에서 고속 동작을 가능하게 하는 반도체 메모리 소자의 파이프 라인 장치 및 그 제어 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적 달성을 위한 본 발명의 파이프 라인 장치는 클럭 신호를 입력으로 하여 제1 파이프 라인 제어 신호 및 제2 파이프 라인 제어 신호를 발생시키기 위한 제1, 제2 파이프 라인 제어 신호 발생수단과,

상기 제1 파이프 라인 제어 신호 및 제2 파이프 라인 제어 신호에 의해 제어되어 입력 데이터를 제2 래치부 입력단으로 전달하기 위한 제3 전달 수단과,

상기 제1 파이프 라인 제어 신호 및 제2 파이프 라인 제어 신호에 의해 제어되어 상기 제3 전달 수단의 출력신호를 래치하기 위한 제2 래치 수단과,

상기 제2 래치 수단의 래치 신호를 반전시켜 데이터를 출력시키기 위한 제1 반전 수단을 포함하는 것을 특징으로 한다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해질 것이다.

이하, 첨부도면을 참조하여 본 발명의 일실시예를 상세히 설명하기로 한다.

도 28는 본 발명의 일실시예에 따른 파이프 라인 제어 신호 발생 회로도로서, CLK1을 입력으로 하여 출력되는 제1 파이프 라인 제어 신호(LAT) 및 제2 파이프 라인 제어 신호(/LAT)의 펄스폭을 조절하기 위해

상기 CLK1을 일정 시간 동안 지연시키기 위한 펄스폭 조절부(10)와, 상기 펄스폭 조절부의 출력신호와 상기 CLK1을 조합하여 상기 제1 파이프 라인 제어 신호를 발생시키기 위한 노아 게이트(NR)와, 상기 노아 게이트의 출력신호를 반전시켜 제2 파이프 라인 제어 신호를 발생시키기 위한 제7 인버터(IN7)로 구성된다.

상기 펄스폭 조절부는 직렬접속된 제4, 제5 그리고 제6 인버터(IV4, IV5, IV6)로 구성된다.

도 2A는 본 발명의 일 실시예에 따른 데이터의 입/출력 관계를 도시한 파이프 라인 회로도로서, 게이트로 상기 제1 파이프 라인 제어 신호가 인가되는 제3 NMOS형 트랜지스터(MN3)와 게이트로 상기 제2 파이프 라인 제어 신호가 인가되는 제3 PMOS형 트랜지스터(MP3)가 병렬접속되어 입력 데이터(DATA1)를 제2 래치부 입력단으로 전달시키기 위한 제3 전달부(20)와, 입력단에 상기 제3 전달부 출력신호가 입력되어 상기 CLK1이 하이에서 로우로 천이할때만 입력 데이터(DATA1)를 출력단으로 전달하고 상기 CLK1이 로우에서 하이로 천이할때는 입력 데이터(DATA1)를 래치시키는 제2 래치부(30)와, 상기 제2 래치부의 출력신호를 반전시켜 입력 데이터(DATA1)를 출력시키기 위한 제9 인버터(IV9)로 구성된다.

상기 제2 래치부는 상기 제3 전달부 출력신호를 반전시켜 상기 CLK1이 하이에서 로우로 천이할때 제10 인버터(IV10) 입력단으로 출력시키기 위한 제8 인버터(IV8)와, 상기 제8 인버터 출력신호를 반전시켜 제4 전달부(40)로 출력시키기 위한 제10 인버터와, 게이트로 제1 파이프 라인 제어 신호가 인가되는 제4 PMOS형 트랜지스터(MP4)와 게이트로 상기 제2 파이프 라인 제어 신호가 인가되는 제4 NMOS형 트랜지스터(MN4)가 병렬접속되어 상기 제10 인버터 출력신호를 상기 제8 인버터 입력단으로 전달시키기 위한 제4 전달부로 구성된다.

이하, 상기 도 2A 및 상기 도 2B에 대한 동작관계를 설명하기로 한다.

먼저, 입력단에 CLK1이 입력되면 상기 펄스폭 조절부에 의해 상기 CLK1은 일정시간 지연되고 지연된 신호와 상기 CLK1이 상기 노아 게이트 두 입력단으로 입력된다. 여기서 CLK1이 하이이면, 상기 펄스폭 조절부 출력단은 로우가 되고 따라서 상기 노아 게이트 출력단은 상기 펄스폭 조절부의 출력신호에 상관없이 로우가 되어 제1 파이프 라인 제어 신호는 로우가 출력되고 제2 파이프 라인 제어 신호는 하이로 출력된다. 따라서 상기 제3 전달부는 턴-오프 되고 상기 제4 전달부는 턴-온되어 입력 데이터(DATA1)는 전달되지 않고 제2 래치부에 출력 데이터를 래치하게 된다.

이어서, 상기 CLK1이 하이에서 로우로 천이하게 되면 상기 펄스폭 조절부의 출력단 신호가 이전 상태에서 로우값을 가지고 있으므로 상기 노아 게이트 출력단은 하이 신호가 출력되어 상기 제1 파이프 라인 제어 신호는 하이로 되고 상기 제2 파이프 라인 제어 신호는 로우가 된다. 따라서, 상기 제3 전달부는 턴-온되고 상기 제4 전달부는 턴-오프가 되어 입력 데이터(DATA1)는 출력단으로 전달되어 출력 데이터가 생성된다. 계속해서 상기 펄스폭 조절부에 의해 일정시간 후 상기 펄스폭 조절부가 로우에서 하이로 바뀌면 상기 노아 게이트 출력단에는 로우 신호가 출력되어 상기 제1 파이프 라인 제어 신호는 로우가 출력되고 상기 제2 파이프 라인 제어 신호는 하이로 출력되어 상기 제3 전달부는 턴-오프, 상기 제4 전달부는 턴-온 되어 다시 입력 데이터(DATA1)를 래치하게 된다.

요약하면, 상기 CLK1이 로우에서 하이로 천이하면 상기 펄스폭 조절부의 출력신호에 상관없이 상기 제1 파이프 라인 제어 신호는 로우를, 상기 제2 파이프 라인 제어 신호는 하이 상태를 그대로 유지하며 따라서 상기 제3 전달부는 턴-오프, 상기 제4 전달부는 턴-온 상태를 그대로 유지하여 래치 상태로 들어가게 된다.

상기 CLK1이 하이에서 로우로 천이하게 되면 상기 제1 파이프 라인 제어 신호는 하이 상태를, 상기 제2 파이프 라인 제어 신호는 로우 상태를 유지하며 상기 제3 전달부는 턴-온, 상기 제4 전달부는 턴-오프되어 다시 입력 데이터(DATA1)를 출력단으로 전달하는 일련의 과정을 반복하게 되는 것이다.

도 3은 상기 도 2A, 도 2B에 도시된 본 발명의 일 실시예에 따른 파이프 라인 회로도에 대한 동작 타이밍도로서, 상기 도 3의 (e)에 도시된 바와 같이 CLK에 의해 버퍼링된 CLK1이 하이에서 로우로 천이하는 구간에서 출력단에는 (a)에 도시된 바와 같이 출력 데이터가 발생되며 이때 제3 전달부는 턴-온되고 제4 전달부는 턴-오프되어 데이터의 래치는 이루어지지 않는다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따른 파이프 라인 장치 및 그 제어 방법을 반도체 메모리 장치에 구현하게 되면 데이터의 Access Time이 감소하는 효과가 있다.

(5) 청구의 범위

청구항 1

클럭 신호를 입력으로 하여 제1 파이프 라인 제어 신호 및 제2 파이프 라인 제어 신호를 발생시키기 위한 제1 제2 파이프 라인 제어 신호 발생수단과,

상기 제1 파이프 라인 제어 신호 및 제2 파이프 라인 제어 신호에 의해 제어되어 입력 데이터를 전달하는 전달 수단과,

상기 제1 파이프 라인 제어 신호 및 제2 파이프 라인 제어 신호에 의해 제어되어 상기 전달 수단의 출력 신호를 래치하기 위한 래치 수단과,

상기 래치 수단의 래치 신호를 반전시켜 데이터를 출력시키기 위한 반전수단을 포함하는 것을 특징으로 하는 반도체 메모리 소자의 파이프 라인 장치.

청구항 2

FIG. 2a

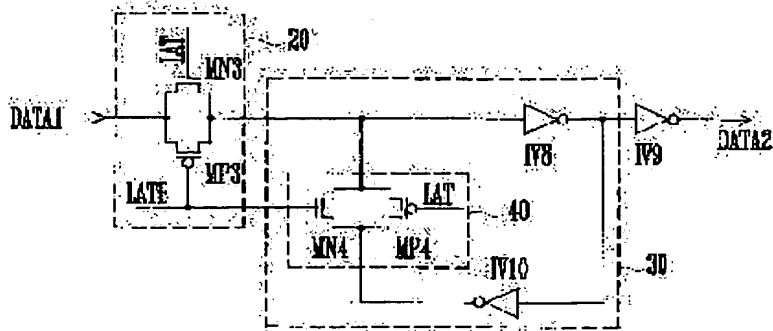


FIG. 2b

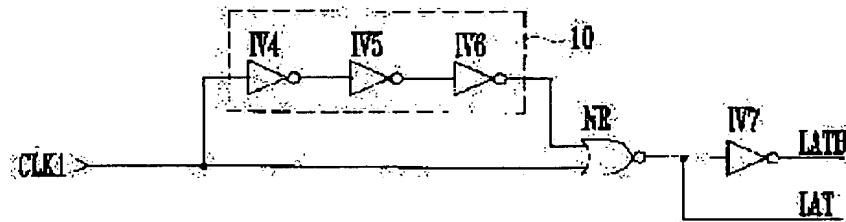


FIG. 3

